

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hirofumi KAWAI

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING A SEMICONDUCTOR
DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY	APPLICATION NUMBER	MONTH/DAY/YEAR
Japan	2002-236930	August 15, 2002

Certified copies of the corresponding Convention Application(s)

- are submitted herewith
- will be submitted prior to payment of the Final Fee
- were filed in prior application Serial No. filed
- were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- (B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

C. Irvin McClelland
Registration Number 21,124

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 8月15日

出願番号

Application Number:

特願2002-236930

[ST.10/C]:

[JP2002-236930]

出願人

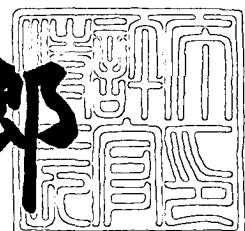
Applicant(s):

株式会社東芝

2003年 5月30日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3040820

【書類名】 特許願
【整理番号】 13756801
【提出日】 平成14年 8月15日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/302
【発明の名称】 半導体装置および半導体装置の製造方法
【請求項の数】 8
【発明者】
【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝
マイクロエレクトロニクスセンター内
【氏名】 川井 博文
【特許出願人】
【識別番号】 000003078
【住所又は居所】 東京都港区芝浦一丁目1番1号
【氏名又は名称】 株式会社 東芝
【代理人】
【識別番号】 100075812
【弁理士】
【氏名又は名称】 吉武 賢次
【選任した代理人】
【識別番号】 100088889
【弁理士】
【氏名又は名称】 橋谷英俊
【選任した代理人】
【識別番号】 100082991
【弁理士】
【氏名又は名称】 佐藤泰和
【選任した代理人】
【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【手数料の表示】

【予納台帳番号】 087654

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置および半導体装置の製造方法

【特許請求の範囲】

【請求項 1】

第1の種類の半導体材料からなるコレクタ層と、
前記コレクタ層に接し前記第1の種類の半導体材料からなる第1のベース部分
および前記第1のベース部分に接し第2の種類の半導体材料からなる第2のペー
ス部分を含むベース層と、

前記ベース層に接し前記第1の種類の半導体材料からなり、該ベース層とヘテ
ロ接合を形成するエミッタ層とを備えた半導体装置。

【請求項 2】

前記ベース層、前記エミッタ層および前記コレクタ層を有するバイポーラ・ト
ランジスタと、

該バイポーラ・トランジスタと同一チップ上に形成されたMISトランジスタ
とを備えたことを特徴とする請求項1に記載の半導体装置。

【請求項 3】

前記第1の種類の半導体材料はシリコンであり、
前記第2の種類の半導体材料はシリコングルマニウムであることを特徴とする
請求項1または請求項2のいずれかに記載の半導体装置。

【請求項 4】

前記第1のベース部分の膜厚は、前記ベース層、前記エミッタ層および前記コ
レクタ層を有するバイポーラ・トランジスタが非飽和動作状態のときに前記コレ
クタ層と前記ベース層との接合部から延びる空乏層が前記第2のベース層に到達
しないように設定されていることを特徴とする請求項1に記載の半導体装置。

【請求項 5】

半導体基板上にコレクタ用不純物を含む第1の種類の半導体材料から成る第1
の層を形成する第1の層形成ステップと、

不純物を含まない第1の種類の半導体材料からなる第2の層、不純物を含まな
い第2の種類の半導体材料からなる第3の層およびベース用不純物を含む第2の

種類の半導体材料から成る第4の層、前記第1の層上に形成する第2から第4の層形成ステップと、

エミッタ用不純物を含む第1の種類の半導体材料から成る第5の層を前記第4の層上に形成する第5の層形成ステップと、

前記ベース用不純物を前記2の層にまで拡散させる拡散ステップとを具備する半導体装置の製造方法。

【請求項6】

前記拡散ステップにおいて、前記ベース用不純物を前記2の層にまで拡散させると同時に、前記エミッタ用不純物を拡散させることを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項7】

前記第3の層の膜厚は、前記拡散ステップにおいて前記ベース用不純物が前記2の層にまで拡散するように決定されていることを特徴とする請求項5または請求項6に記載の半導体装置の製造方法。

【請求項8】

前記第1の種類の半導体材料はシリコンであり、
前記第2の種類の半導体材料はシリコンゲルマニウムであることを特徴とする請求項5から請求項7のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置および半導体装置の製造方法に関する。

【0002】

【従来の技術】

携帯電話等の通信機器に使用されるR F I C (Radio Frequency Integrated Circuit) として、バイポーラ・トランジスタおよびM O Sトランジスタを混載したB I C M O Sが頻繁に用いられる。特に、R Fのような高周波領域においてバイポーラ・トランジスタの使用を可能とするためにはB I C M O Sの遮断周波数 f_T を高くしなければならない。

【0003】

一般に、バイポーラ・トランジスタの遮断周波数 f_T を高くするためには、通常、ベース層が狭くされる。即ち、エミッターコレクタ間の距離が狭くなる。ベース層が狭くなるとエミッターコレクタ間のパンチスルーが発生しやすくなるので、ベース層の不純物濃度を高めなければならない。しかし、ベース層の不純物濃度を高めると、エミッタからの注入効率の低下により電流増幅率 h_{FE} が低下してしまう。

【0004】

従来から、この遮断周波数 f_T を高めつつベース抵抗の増大や耐圧の低下、を防止するために、エミッターベース間にヘテロ接合を用いたヘテロ接合バイポーラ・トランジスタ（HBT）がある。例えば、シリコンとシリコンゲルマニウム（Si-Ge）の混晶とから成るヘテロ接合を有するBICMOSが頻繁に用いられる。

【0005】

図10はSi-Geを用いた従来のBICMOSの模式的断面図である。図10には、一点鎖線を境界として右にMISトランジスタ領域が示され、その左にバイポーラ・トランジスタ領域が示されている。バイポーラ・トランジスタ領域の構成について説明する。

【0006】

シリコン基板10に埋め込み層12が形成され、この埋め込み層12の上にシリコン単結晶層14が形成されている。埋め込み層12は、引出層16およびコンタクト層18に電気的に接続されており、引出層16およびコンタクト層18を介してコレクタ電極Cに電気的に接続されている。埋め込み層12、シリコン単結晶層14、引出層16およびコンタクト層18はいずれもN型またはN⁺型の半導体であり、シリコン単結晶層14はコレクタ層として作用する。

【0007】

シリコン単結晶層14の上には、シリコン単結晶、シリコンゲルマニウムの混晶およびシリコン単結晶を連続してエピタキシャル成長させたSi-SiGe-Si積層膜20が設けられている。このSi-SiGe-Si積層膜20の一部分が

P型半導体であり、ベース層として作用する。このベース層はポリシリコン22を介してベース電極Bに電気的に接続されている。

【0008】

Si-SiGe-Si積層膜20の上にはポリシリコン24が形成されている。ポリシリコン24にはN型不純物が注入されており、さらに、熱処理によって、Si-SiGe-Si積層膜20の上部にこのN型不純物が拡散されている。これにより、Si-SiGe-Si積層膜20の上部にエミッタ層が形成され、ベース-エミッタ間にヘテロ接合が形成される。エミッタ層はポリシリコン24を介してエミッタ電極Eに電気的に接続されている。このようにして、ベース電極B、エミッタ電極Eおよびコレクタ電極Cを備え、ベース-エミッタ間にヘテロ接合を有するNPNバイポーラ・トランジスタが構成されている。

【0009】

MISトランジスタ領域には、N型のチャネル部30を挟んで両側にP⁺型のソース層32およびP⁺型のドレイン層34が設けられている。また、チャネル部30の上には、ゲート絶縁膜36を介してゲート部38が形成されている。ソース電極S、ドレイン電極Dおよびゲート電極Gがそれぞれソース層32、ドレイン層34およびゲート部38に電気的に接続されている。このようにして、ソース電極S、ドレイン電極Dおよびゲート電極を備えたPMOSトランジスタが構成されている。また、これらの半導体素子を素子分離するために素子分離部40が設けられている。

【0010】

【発明が解決しようとする課題】

図11は、図10のA-A線に沿った素子断面の不純物濃度プロファイルおよびシリコングルマニウム中のゲルマニウム含有率を示すグラフである。このグラフの横軸は、Si-SiGe-Si積層膜20の表面をゼロとしてシリコン基板10へ向かったときの深さを示す。このグラフの左側の縦軸は不純物濃度を示し、その右側の縦軸はシリコングルマニウムのゲルマニウム含有率を示している。

【0011】

Si-SiGe-Si積層膜20において、その表面近傍にはヒ素(As)が拡

散しており、それによりエミッタが形成されている。エミッタ領域の下には、ボロン（B）を含有したベースが形成されている。さらに、ベースの下にはリン（P）を含有したコレクタが形成されている。

【0012】

シリコンゲルマニウムの混晶はベースおよびコレクタに亘っている。即ち、コレクターベース間の接合部はシリコンゲルマニウムの混晶から成る。コレクターベース間に逆バイアスを印加したときには、空乏層は、図11のD1で示すように不純物濃度の低いコレクタ側へ大きく伸びる。

【0013】

このとき、空乏層D1の領域にSiGe層が含まれることにより、バイポーラ・トランジスタのコレクターベース間接合耐圧（BV_{cbo}）が低下する。これは、シリコンのエネルギーギャップが約1.1eVであるのに対し、ゲルマニウムのエネルギーギャップが約0.67eVと低いこと、並びに、シリコンの降伏電界が約30V/ μ mであるのに対し、ゲルマニウムの降伏電界が約8V/ μ mと低いことに因る。

【0014】

このコレクターベース間接合耐圧（BV_{cbo}）の低下は、コレクターベース間接合耐圧と相關のあるエミッターコレクタ間耐圧（BV_{ceo}）の低下を招く。その結果、バイポーラ・トランジスタの動作電圧範囲が狭まるという問題がある。

【0015】

従って、本発明の目的は、遮断周波数f_Tを高くするためにベースーエミッタ間にヘテロ接合を有しつつも、エミッターコレクタ間耐圧が従来よりも高いバイポーラ・トランジスタを有する半導体装置を提供することである。

【0016】

【課題を解決するための手段】

本発明に従った実施の形態による半導体装置は、第1の種類の半導体材料からなるコレクタ層と、前記コレクタ層に接し前記第1の種類の半導体材料からなる第1のベース部分および前記第1のベース部分に接し第2の種類の半導体材料か

らなる第2のベース部分を含むベース層と、前記ベース層に接し前記第1の種類の半導体材料からなり、該ベース層とヘテロ接合を形成するエミッタ層とを備える。

【0017】

好ましくは、該半導体装置は、前記ベース層、前記エミッタ層および前記コレクタ層を有するバイポーラ・トランジスタと、該バイポーラ・トランジスタと同一チップ上に形成されたMISトランジスタとを備える。

【0018】

好ましくは、前記第1の種類の半導体材料はシリコンであり、前記第2の種類の半導体材料はシリコンゲルマニウムである。

【0019】

好ましくは、前記第1のベース部分の膜厚は、前記ベース層、前記エミッタ層および前記コレクタ層を有するバイポーラ・トランジスタが非飽和動作状態のときに前記コレクタ層と前記ベース層との接合部から延びる空乏層が前記第2のベース層に到達しないように設定されている。

【0020】

本発明に従った実施の形態による半導体装置の製造方法は、半導体基板上にコレクタ用不純物を含む第1の種類の半導体材料から成る第1の層を形成する第1の層形成ステップと、不純物を含まない第1の種類の半導体材料からなる第2の層、不純物を含まない第2の種類の半導体材料からなる第3の層およびベース用不純物を含む第2の種類の半導体材料から成る第4の層、前記第1の層上に形成する第2から第4の層形成ステップと、エミッタ用不純物を含む第1の種類の半導体材料から成る第5の層を前記第4の層上に形成する第5の層形成ステップと、前記ベース用不純物を前記2の層にまで拡散させる拡散ステップとを具備する。

【0021】

好ましくは、前記拡散ステップにおいて、前記ベース用不純物を前記2の層にまで拡散させると同時に、前記エミッタ用不純物を拡散させる。

【0022】

好ましくは、前記第3の層の膜厚は、前記拡散ステップにおいて前記ベース用不純物が前記2の層にまで拡散するように決定されている。

【0023】

好ましくは、前記第1の種類の半導体材料はシリコンであり、前記第2の種類の半導体材料はシリコンゲルマニウムである。

【0024】

【発明の実施の形態】

以下、図面を参照し、本発明による実施の形態を説明する。尚、本実施の形態は本発明を限定するものではない。また、以下の実施の形態において、P型の半導体に代えてN型の半導体を用いかつN型の半導体に代えてP型の半導体を用いても本発明または本実施の形態の効果を得ることができる。

【0025】

図1は本発明に係る実施の形態に従ったBICMOS200の模式的断面図である。図1には、一点鎖線を境として右にMISトランジスタ領域が示され、その左にヘテロ接合型バイポーラ・トランジスタ領域が示されている。

【0026】

まず、バイポーラ・トランジスタ領域に形成されたバイポーラ・トランジスタを説明する。このバイポーラ・トランジスタは、P型のシリコン基板10を有し、シリコン基板10にN⁺型の埋め込み層12が形成され、この埋め込み層12の上にN型のシリコン単結晶層14が形成されている。埋め込み層12には、N型の不純物としてヒ素(As)が含有されており、シリコン単結晶層14には、N型の不純物としてリン(P)が含有されている。

【0027】

埋め込み層12は、N⁺型の引出層16に接続され、引出層16はN⁺型のコンタクト層18に接続され、さらに、コンタクト層18はコレクタ電極Cに接続されている。引出層16にはリン(P)が含有されており、コンタクト層18にはヒ素(As)が含有されている。

【0028】

これにより、シリコン単結晶層14は、埋め込み層12、引出層16およびコ

ンタクト層18を介して、コレクタ電極Cに電気的に接続され、バイポーラ・トランジスタのコレクタ層として作用する。埋め込み層12、引出層16およびコンタクト層18は総てN⁺型であるので、シリコン単結晶層14とコレクタ電極Cとの間は低抵抗で接続されている。

【0029】

シリコン単結晶層14の上には、シリコン単結晶、シリコンゲルマニウムの混晶およびシリコン単結晶を連続してエピタキシャル成長させたSi-SiGe-Si積層膜220が設けられている。

【0030】

このSi-SiGe-Si積層膜220のシリコンゲルマニウム(SiGe)の部分はボロン(B)を含有し、P型半導体になっている。このP型のシリコンゲルマニウムはバイポーラ・トランジスタのベース層の一部として作用する。ベース層はポリシリコン22を介してベース電極Bに電気的に接続されている。

【0031】

Si-SiGe-Si積層膜220の上にはN型不純物としてヒ素(As)を含有したポリシリコン24が隣接している。また、Si-SiGe-Si積層膜220の下にはリン(P)を含有したシリコン単結晶層14が隣接している。この状態で、熱処理が施されることによって、Si-SiGe-Si積層膜220の上部および下部にそれぞれヒ素(As)およびリン(P)が拡散する。その結果、Si-SiGe-Si積層膜220の上部には、N型のエミッタ層が形成され、その下部にはN型のコレクタ層が形成され、さらに、それらの中間部にP型のベース層が形成される。これにより、ベースーエミッタ間にシリコンとシリコンゲルマニウムとから成るヘテロ接合が形成される。Si-SiGe-Si積層膜220内の構成は図2において詳述する。

【0032】

エミッタ層はポリシリコン24を介してエミッタ電極Eに電気的に接続されている。このようにして、ベース電極B、エミッタ電極Eおよびコレクタ電極Cを備えたNPNバイポーラ・トランジスタが構成されている。勿論、NPNバイポーラ・トランジスタは通常複数形成され、その数は限定しない。また、NPNバ

イポーラ・トランジスタの各構成要素の導電型を変更し、P N Pバイポーラ・トランジスタを構成してもよい。また、N P Nバイポーラ・トランジスタおよびP N Pバイポーラ・トランジスタを混載させてもよい。

【0033】

図2は、図1の2-2線に沿った断面における不純物濃度プロファイルおよびSi-SiGe-Si積層膜220のゲルマニウム含有率を示したグラフである。

【0034】

このグラフの横軸は、Si-SiGe-Si積層膜220の表面をゼロとしてシリコン基板10へ向かったときの深さを示す。このグラフの左側の縦軸は不純物濃度を示し、その右側の縦軸はシリコングルマニウム中のゲルマニウム含有率を示している。

【0035】

Si-SiGe-Si積層膜220において、その表面近傍にはポリシリコン24からヒ素(As)が拡散しており、それによりエミッタ層が形成されている。エミッタ領域の下には、ボロン(B)を含有したベース層が形成されている。さらに、ベース層の下にはシリコン単結晶層14からリン(P)が拡散しており、それによりコレクタ層が形成されている。

【0036】

シリコングルマニウムの混晶は、従来よりも薄くベース層の一部にのみ存在する。例えば、従来、約15%のゲルマニウムを含有したシリコングルマニウムの厚さは約60nmであったが、本実施の形態によれば、その厚さは約20nmである。これにより、コレクタ層やコレクターベース間の接合部には、シリコングルマニウムは存在せず、シリコン単結晶が存在する。

【0037】

ベースーコレクタ間の接合は、ベース層の不純物のボロン(B)とコレクタ不純物のリン(P)の隣接部分である。ベースーコレクタ間の接合に逆バイアスを印加したときに、空乏層は、図2中のD2で示すように伸びる。即ち、空乏層は、不純物濃度(ヒ素濃度)の低いコレクタ側へ大きく伸び、不純物濃度(ボロン濃度)の高いベース側には僅かしか伸びない。ベース層のうち、空乏層が到達し

ない領域を第1のベース層B1とし、空乏層が到達する領域を第2のベース層B2とする。本実施の形態によれば、図2に示すように、第2のベース層B2にはシリコンゲルマニウムが存在せず、第1のベース層B1にのみシリコンゲルマニウムが存在する。それにより、シリコンゲルマニウムには空乏層が到達しない。第2のベース層B2の厚さは、例えば、約10nmである。これは、コレクターベース間に約1ボルトの逆バイアスが印加されたときにベース側に伸びる空乏層を考慮したものである。但し、空乏層の伸びはベース層およびコレクタ層の不純物濃度にも依存するので、第2のベース層B2の厚さはこれらの不純物濃度も考慮して決定される。

【0038】

一般に、シリコンのエネルギーギャップが約1.1eVであるのに対し、ゲルマニウムのエネルギーギャップが約0.67eVと低いこと、並びに、シリコンの降伏電界が約30V/ μm であるのに対し、ゲルマニウムの降伏電界が約8V/ μm と低い。

【0039】

しかし、本実施の形態によれば、空乏層の拡がるD2の領域にゲルマニウムが含まれないので、コレクターベース間耐圧(BV_{cbo})の低下を防ぐことができる。また、コレクターベース間耐圧と相關のあるエミッターコレクタ間耐圧(BV_{ceo})の低下を防ぐことができる。これらの結果、バイポーラ・トランジスタの動作電圧範囲が狭くならない。

【0040】

即ち、本実施の形態に設けられたバイポーラ・トランジスタは、ヘテロ接合を有するので高い遮断周波数f_Tを得ることができると共に、D2の領域にゲルマニウムが含まれないのでBV_{cbo}およびBV_{ceo}の低下を防止できる。

【0041】

図1を再度参照する。MISトランジスタ領域には、PMOSトランジスタが形成されている。シリコン基板10の表面領域にN型のウェル31が形成され、Nウェル31内にN型のチャネル部30を挟んで両側にP⁺型のソース層32およびP⁺型のドレイン層34が設けられている。また、チャネル部30の上には

、ゲート絶縁膜36を介してゲート部38が形成されている。さらに、ソース電極S、ドレイン電極Dおよびゲート電極Gがそれぞれソース層32、ドレイン層34およびゲート部38に電気的に接続されている。このようにして、ソース電極S、ドレイン電極Dおよびゲート電極Gを備えたPMOSトランジスタが設けられている。シリコン基板10の表面領域には、N型のウェル31の他、P型のウェル33も形成され、ウェル33の領域内にはNMOSトランジスタ（図示せず）が設けられている。このようにして、MISトランジスタ領域にはNMOSトランジスタおよびPMOSトランジスタの両方を備えたCMOSが形成されている。

【0042】

次に、本実施の形態によるBICMOS200の製造方法を示す。本実施の形態によれば、例えば、面方位(100)、比抵抗=10 ohm·cmのP型シリコン基板10を使用する。尚、図面の括弧内は導電型を示す。

【0043】

図3(A)に示すように、まず、シリコン基板10を酸化することによって、シリコン酸化膜610を成膜する。シリコン酸化膜610上にパターニングされたフォトレジスト612を設ける。フォトレジスト612をマスクとして、NPNトランジスタのコレクタとなるN⁺型の埋め込み層12を形成する領域に、N型不純物のヒ素(As)がイオン注入される。このイオン注入は、例えば、加速電圧が約50kVおよびドーズ量が約 $8 \times 10^{15} \text{ cm}^{-2}$ の条件で処理される。

【0044】

図3(B)を参照する。フォトレジスト612の除去後、約1000°Cの窒素(N₂)雰囲気中において約60分間アニールを行う。次に、約1025°Cの酸素および水素(O₂+H₂)雰囲気中において、約9分間酸化処理する。このとき埋め込み層12上の酸化膜610は、ヒ素(As)をイオン注入していない領域の酸化膜610に比べ厚く酸化される。埋め込み層12上の酸化膜は、例えば、約200nmである。これにより、埋め込み層12の周囲に約40nmの段差が形成される。この段差は、その後のフォトリソグラフィにおけるアラインメント

トの基準に用いられる。次に、約1190°Cの窒素(N₂)雰囲気中において、約25分間アニールし、ヒ素を十分に拡散する。

【0045】

図3 (C) に示すように、次に、酸化膜610を除去し、リン(P)が約1×10¹⁶ cm⁻³だけ添加されたエピタキシャル層620を約0.9 μmの厚さに成膜する。エピタキシャル層620は、例えば、不純物ガスPH₃およびシリカガス(SiH₄)を用いて、圧力約4000Paおよび温度約1050°Cの条件でエピタキシャル成長される。

【0046】

図3 (D) に示すように、次に、約25nmの厚さのシリコン酸化膜630を約850°Cの熱酸化により成膜する。さらに、約390nmの厚さのポリシリコン640、約300nmの厚さのシリコン酸化膜650をそれぞれ減圧CVD法により成膜する。シリコン酸化膜630、ポリシリコン640またはシリコン酸化膜650を形成するときの熱により、埋め込み層12がシリコン単結晶層620の下部に拡散される。

【0047】

図4 (A) に示すように、次に、浅いSTI (Shallow Trench Isolation) を形成するために、フォトリソグラフィ技術とRIE法などの異方性エッティングにより、シリコン酸化膜630、ポリシリコン640またはシリコン酸化膜650をパターニングし、フォトレジストを除去する。

【0048】

次に、シリコン酸化膜650をマスクとし、RIE法などによる異方性エッティングにより、エピタキシャル層620を約0.5 μmの深さまでエッティングする。

【0049】

図4 (B) に示すように、次に、減圧CVD法などにより、シリコン酸化膜660を堆積する。次に、深いSTIを形成するために、素子を取り囲むように、開口幅約1.0 μmのフォトレジストをパターニングする。このフォトレジストをマスクとして、RIE法などによる異方性エッティングによりシリコン酸化膜660を除去し、さらに、フォトレジストを剥離する。

【0050】

図4 (C) に示すように、次に、シリコン酸化膜660をマスクとしてRIE法などによる異方性エッチングを施し、例えば、深さ約 $5\text{ }\mu\text{m}$ のトレンチ670を形成する。

【0051】

図4 (D) に示すように、次に、加速電圧約35KeV、ドーザ量 $5 \times 10^{-1}\text{ cm}^{-2}$ の条件でボロンをトレンチ670の底にイオン注入する。これは、STIの素子分離の耐圧を高めるためである。

【0052】

図5 (A) に示すように、次に、フッ化アンモニウム (NH_4F) などによるエッチングによりシリコン酸化膜660を除去する。次に、約1000°Cで酸化することによってトレンチ670の内壁に約35nmの厚さのシリコン酸化膜680を成膜する。次に、減圧CVD法などにより、トレンチ670の内壁に約200nmの厚さのシリコン酸化膜690を200nm成膜する。

【0053】

図5 (B) に示すように、次に、減圧CVD法などにより約 $1.4\text{ }\mu\text{m}$ の厚さのポリシリコンを堆積し、CDE (Chemical Dry Etching) 法などによりこれをエッチングバックすることによって、トレンチ670のみにポリシリコン700が充填される。このようにして素子分離部40が形成される。

【0054】

図5 (C) に示すように、次に、減圧CVD法などにより約650nmの厚さのシリコン酸化膜710を成膜する。

【0055】

図5 (D) に示すように、次に、CMP (Chemical Mechanical Polishing) 法を用いてポリシリコン640の表面まで均一に研磨およびエッチングする。

【0056】

図6 (A) に示すように、次に、CDE法などによりポリシリコン640をエッチングし、フッ化アンモニウム (NH_4F) などによりシリコン酸化膜630をエッチングする。その後、約850°Cで酸化することにより約15nmの厚さ

のシリコン酸化膜720を成膜する。

【0057】

図6(B)に示すように、次に、NPNバイポーラ・トランジスタのコレクタ部にリン(P)をイオン注入する。このイオン注入は、例えば、加速電圧が約50kVおよびドーズ量が約 $1.5 \times 10^{15} \text{ cm}^{-2}$ の条件で処理される。その後、約950°Cの窒素(N₂)雰囲気中において、約60分間アニールすることにより、リンが十分に拡散され、引出層16が形成される。

【0058】

図6(C)に示すように、次に、P型ウェル領域に選択的にボロンイオン(B⁺)をイオン注入する。このイオン注入は、加速電圧が約400kVおよびドーズ量が約 $2 \times 10^{13} \text{ cm}^{-2}$ の条件、および、加速電圧が約160kVおよびドーズ量が約 $1.1 \times 10^{12} \text{ cm}^{-2}$ の条件で処理される。これらの条件によるイオン注入により、シリコン基板10の深さ方向に向かって濃度が上昇するプロファイル(レトログレード型プロファイル)が形成される。これにより、P型ウェルのシート抵抗を低くすることができる。

【0059】

次に、N型ウェル領域に選択的にリンイオン(P⁺⁺)をイオン注入する。このイオン注入は、加速電圧が約340kVおよびドーズ量が約 $5.0 \times 10^{13} \text{ cm}^{-2}$ の条件で処理される。

【0060】

さらに、約1050°Cの窒素(N₂)雰囲気中において、約0.5分間アニールする。これにより、P型ウェル領域およびN型ウェル領域の不純物が拡散されて、P型ウェル33およびN型ウェル31が形成される。

【0061】

次に、NMOSチャネル領域(図示せず)に選択的にボロンイオン(B⁺)を注入する。このイオン注入は、加速電圧が約120kVおよびドーズ量が約 $8 \times 10^{12} \text{ cm}^{-2}$ の条件、および、加速電圧が約25kVおよびドーズ量が約 $2.8 \times 10^{12} \text{ cm}^{-2}$ の条件で処理される。

【0062】

次に、PMOSチャネル領域に選択的にリンイオン（P⁺⁺）を注入する。このイオン注入は、加速電圧が約150kVおよびドーザ量が約 $1.6 \times 10^{13} \text{ cm}^{-2}$ の条件、および、加速電圧が約150kVおよびドーザ量が約 $1.8 \times 10^{13} \text{ cm}^{-2}$ の条件で処理される。さらに、PMOSチャネル領域には、ボロンイオン（B⁺）が、加速電圧約20kVおよびドーザ量約ドーザ=4.8× 10^{12} cm^{-2} の条件で注入される。これにより、チャネル部30が形成される。

【0063】

図6(D)を参照して、次に、フッ化アンモニウム(NH₄F)などによりシリコン酸化膜720をエッチングした後、約850°Cで酸化することにより、約9nmの厚さのシリコン酸化膜から成るゲート絶縁膜36を成膜する。次に、ポリシリコンを減圧CVDなどにより約300nmの厚さに堆積し、ヒ素をイオン注入する。このイオン注入は、例えば、加速電圧が約40kVおよびドーザ量が約 $1 \times 10^{15} \text{ cm}^{-2}$ の条件で処理される。次に、フォトリソグラフィ技術およびRIE法などのエッチングを用いて、このポリシリコンをエッチングして、ゲート部38が形成される。

【0064】

図7(A)に示すように、次に、NMOSトランジスタのソースおよびドレイン部分(図示せず)、N型ウェル引き出し部分(図示せず)およびNPNバイポーラ・トランジスタの引出層16にヒ素イオン(As⁺)を選択的に注入する。このイオン注入は、例えば、加速電圧が約50kVおよびドーザ量が約 $5 \times 10^{15} \text{ cm}^{-2}$ の条件で処理される。

【0065】

次に、PMOSトランジスタのソースおよびドレイン部分32、34、Pウェル引き出し部分(図示せず)にボロンイオン(B⁺)を選択的に注入する。このイオン注入は、加速電圧が約35kVおよびドーザ量が約 $3.0 \times 10^{15} \text{ cm}^{-2}$ の条件で処理される。この工程において、PMOSトランジスタのソース層32およびドレイン層34が形成され、NPNバイポーラ・トランジスタのコンタクト層18が形成される。

【0066】

図7 (B) に示すように、次に、CVD法により約200 nmの厚さのシリコン酸化膜730を堆積する。その後、フォトリソグラフィ技術とフッ化アンモニウムによるエッチングを用いて、NPNバイポーラ・トランジスタの素子領域のシリコン酸化膜を除去し、エピタキシャル層620（以下、シリコン単結晶層14という）を露出させる。

【0067】

図7 (C) に示すように、次に、シリコン(Si)、シリコンゲルマニウム(SiGe)およびシリコン(Si)を連続してエピタキシャル成長させることによりSi-SiGe-Si積層膜220が形成される。このエピタキシャル成長は、シリコン単結晶層14上にシリコン単結晶を選択的に成長させ、同時に、シリコン単結晶層14上が露出していない領域にはポリシリコンを成膜させる条件で処理される。

【0068】

より詳細には、次の条件で成膜する。

【0069】

まず、シリコン単結晶層14が露出していない部分の膜荒れを防止するために、約40 nmの厚さのノンドープシリコンを成膜する。このときの圧力は、例えば、0.13 Pa以上かつ 1.3×10^4 Pa以下に設定し、温度は約600°Cに設定する。さらに、キャリアガスは水素(H₂)とし、ソースガスはシラン(SiH₄)とする。

【0070】

次に、約20 nmの厚さのノンドープシリコンゲルマニウム(Si_(1-X)Ge_(X))を成膜する。このとき、X=0.2である。また、このときの圧力は、例えば、0.13 Pa以上 1.3×10^4 Pa以下に設定し、温度は約600°Cに設定する。さらに、キャリアガスは水素(H₂)とし、ソースガスは、シラン(SiH₄)および水素化ゲルマニウム(GeH₄)とする。

【0071】

次に、P型不純物としてボロンを添加した約30 nmの厚さのドープシリコ

ンゲルマニウム ($\text{Si}_{(1-X)}\text{Ge}_{(X)}$) を成膜する。このときの圧力は、例えば、0.13 Pa以上かつ 1.3×10^4 Pa以下に設定し、温度は約 600°C に設定する。キャリアガスは水素 (H_2) とし、ソースガスはシラン (SiH_4) および水素化ゲルマニウム (GeH_4) とする。この水素化ゲルマニウム (GeH_4) の流量を変化させることにより、シリコンゲルマニウム ($\text{Si}_{(1-X)}\text{Ge}_{(X)}$) の X をコレクタ側からエミッタ側に向かって 0.2 から 0 に次第に変化させることができる。それによって、図 2 に示すように深さ 60 nm から 30 nm にかけてゲルマニウム含有率を次第に減少させることができる。

【0072】

ドープシリコンゲルマニウムを成膜するとき、シリコンゲルマニウム膜中のボロン濃度が約 $8 \times 10^{18} \text{ cm}^{-3}$ に一定になるように、水素化ボロン (B_2H_6) ガスが添加される。

【0073】

次に、約 30 nm の厚さのシリコン膜が成長される。このときの圧力は、例えば、0.13 Pa 以上かつ 1.3×10^4 Pa 以下に設定し、温度は約 600°C に設定する。キャリアガスは水素 (H_2) とし、ソースガスはシラン (SiH_4) とする。このシリコン膜を成長させるとき、シリコン膜中のボロン濃度が約 $8 \times 10^{18} \text{ cm}^{-3}$ に一定になるように、水素化ボロン (B_2H_6) ガスが添加される。

【0074】

このような工程を経て $\text{Si}-\text{SiGe}-\text{Si}$ 積層膜 220 が形成される。尚、シリコン単結晶層 14 上には、単結晶のシリコン (Si) - シリコンゲルマニウム (SiGe) - シリコン (Si) の積層膜 220 が形成される。一方で、シリコン単結晶層 14 以外のシリコン酸化膜やポリシリコン上には、多結晶のシリコン (Si) - シリコンゲルマニウム (SiGe) - シリコン (Si) の積層膜 740 が形成される。

【0075】

図 7 (D) に示すように、次に、CVD 法などによりシリコン酸化膜を堆積し、これをパターニングして $\text{Si}-\text{SiGe}-\text{Si}$ 積層膜 220 上にシリコン酸化膜

750を形成する。次に、CVD法などにより約200nmの厚さのポリシリコン760を堆積する。

【0076】

図8 (A)に示すように、次に、フォトリソグラフィ技術およびRIE法などのエッティングを用いて、ポリシリコン760および多結晶のSi-SiGe-Si積層膜740をエッティングする。

【0077】

図8 (B)に示すように、次に、CVD法によりシリコン酸化膜770およびシリコン窒化膜780をそれぞれ約100nm堆積する。

【0078】

図8 (C)に示すように、次に、フォトリソグラフィ技術およびRIE法などのエッティングを用いて、Si-SiGe-Si積層膜220上のシリコン窒化膜780、シリコン酸化膜770およびポリシリコン760を連続してエッティングする。次に、Si-SiGe-Si積層膜220のうち、シリコン単結晶層14の上に堆積したノンドープシリコン膜にコレクタ用のリンをイオン注入する。このイオン注入は、例えば、加速電圧が約200kVおよびドーズ量が約 5×10^{-1} cm^{-2} の条件で処理される。

【0079】

図8 (D)に示すように、次に、減圧CVD法により約100nmの厚さのシリコン窒化膜を堆積し、さらに、これをRIE法を用いて等方的にエッティングすることにより、シリコン窒化膜から成る側壁790が形成される。

【0080】

図9 (A)に示すように、次に、フッ化アンモニウム (NH_4F)などを用いたエッティングにより、シリコン酸化膜750をエッティングする。

【0081】

図9 (B)に示すように、次に、CVD法などにより、約200nmの厚さのポリシリコン800を堆積する。ポリシリコン800に、ヒ素をイオン注入する。このイオン注入は、加速電圧が約50kVおよびドーズ量が約 1×10^{-16} cm^{-2} の条件で処理される。

【0082】

図9(C)に示すように、次に、フォトリソグラフィ技術およびRIE法を用いて、エミッタ層と接続するポリシリコン24が形成される。次に、例えば、約900°Cの窒素(N₂)雰囲気中において、約10分間アニールする。これにより、ポリシリコン24内の不純物がSi-SiGe-Si積層膜220の上部に拡散され、かつ、ポリシリコン24内の不純物が活性化される。

【0083】

次に、CVD法などによりシリコン酸化膜810を堆積し、これをCMP法により平坦化する。その後、コンタクトホールを形成し、アルミニウム配線により電極を形成する。このようにして、バイポーラ・トランジスタおよびMOSトランジスタの両方を有するBICMOS200が一連のプロセスにより完成される(図1)。

【0084】

尚、上述した製造プロセスの条件は1つの実施の形態として記載されたものであり、従って、圧力、温度、加速電圧等は上述の値に限定されない。また、各工程において形成される構成要素の膜厚等も上述の値に限定されない。

【0085】

【発明の効果】

本発明に従った半導体装置は、遮断周波数f_Tを高くするためにベースーエミッタ間にヘテロ接合を有しつつも、エミッターコレクタ間耐圧を従来よりも高くすることができます。

【0086】

本発明に従った半導体装置の製造方法は、遮断周波数f_Tを高くするためにベースーエミッタ間にヘテロ接合を有しつつも、エミッターコレクタ間耐圧が従来よりも高いバイポーラ・トランジスタを備えた半導体装置を製造することができる。

【図面の簡単な説明】

【図1】

本発明に係る実施の形態に従ったBICMOS200の模式的断面図。

【図2】

図1の2-2線に沿った断面における不純物濃度プロファイルおよびSi-SiGe-Si積層膜220のゲルマニウム含有率を示したグラフ。

【図3】

BICMOS200の製造方法を示す素子断面図。

【図4】

図3に続く、BICMOS200の製造方法を示す素子断面図。

【図5】

図4に続く、BICMOS200の製造方法を示す素子断面図。

【図6】

図5に続く、BICMOS200の製造方法を示す素子断面図。

【図7】

図6に続く、BICMOS200の製造方法を示す素子断面図。

【図8】

図7に続く、BICMOS200の製造方法を示す素子断面図。

【図9】

図8に続く、BICMOS200の製造方法を示す素子断面図。

【図10】

Si-Geを用いた従来のBICMOSの模式的断面図。

【図11】

図10のA-A線に沿った素子断面の不純物濃度プロファイルおよびシリコンゲルマニウムのゲルマニウム含有率を示すグラフ。

【符号の説明】

200 BICMOS

10 半導体基板

12 埋め込み層

14 シリコン単結晶層

16 引出層

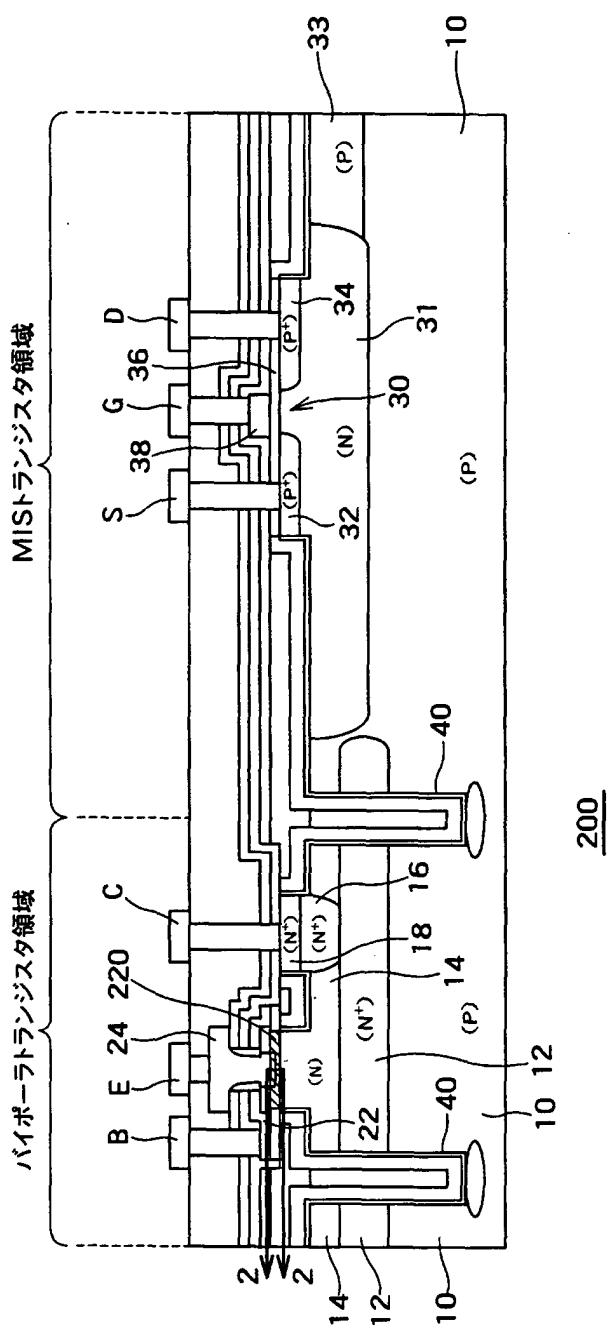
18 コンタクト層

24 ポリシリコン

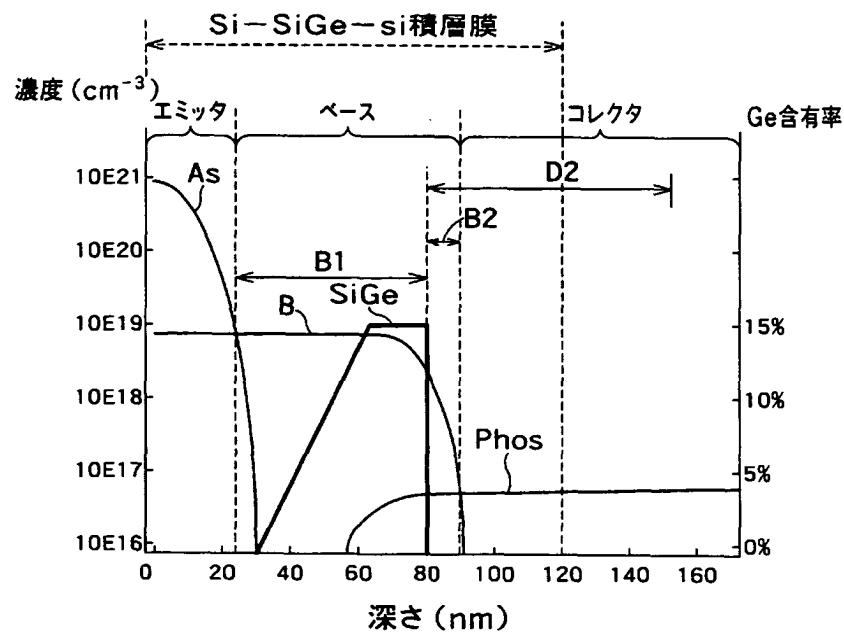
220 Si-SiGe-Si 積層膜

【書類名】 図面

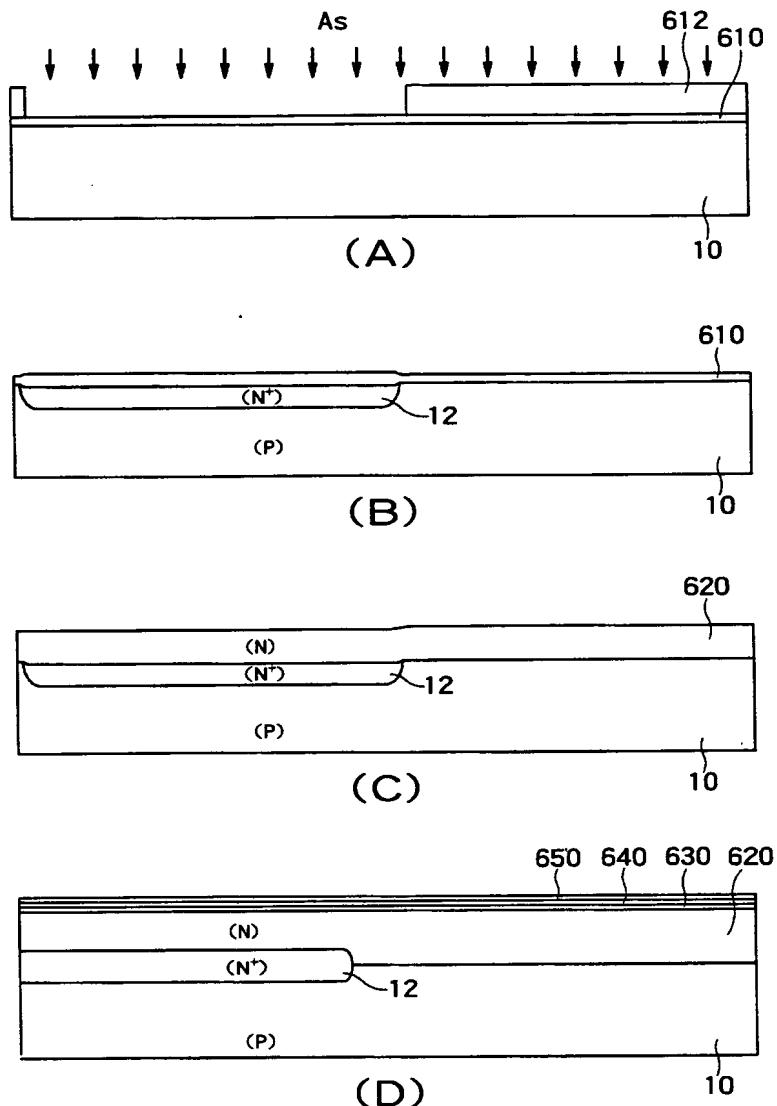
【図1】



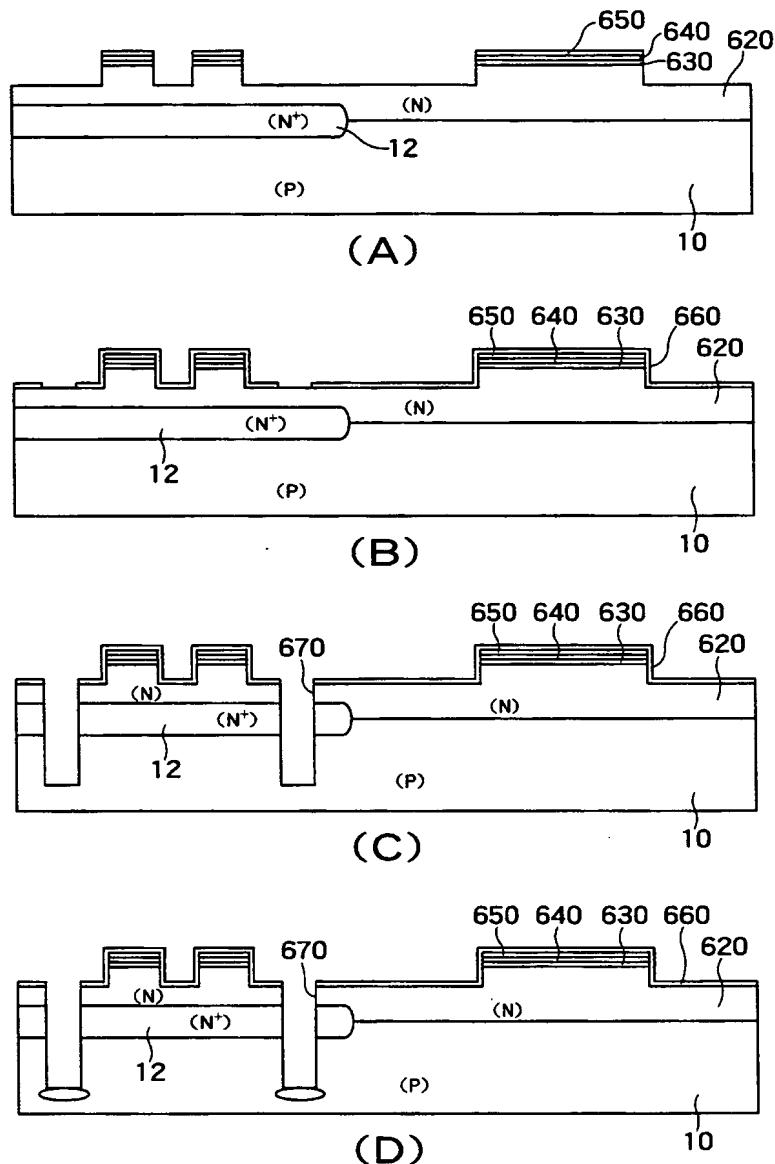
【図2】



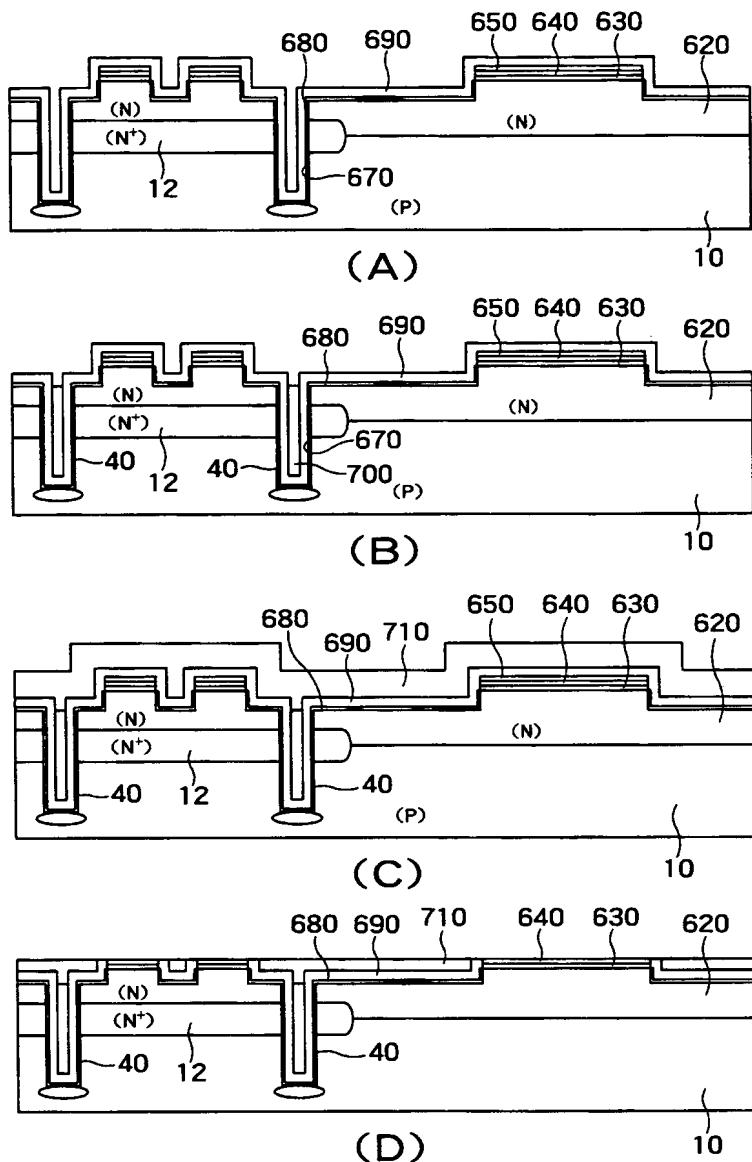
【図3】



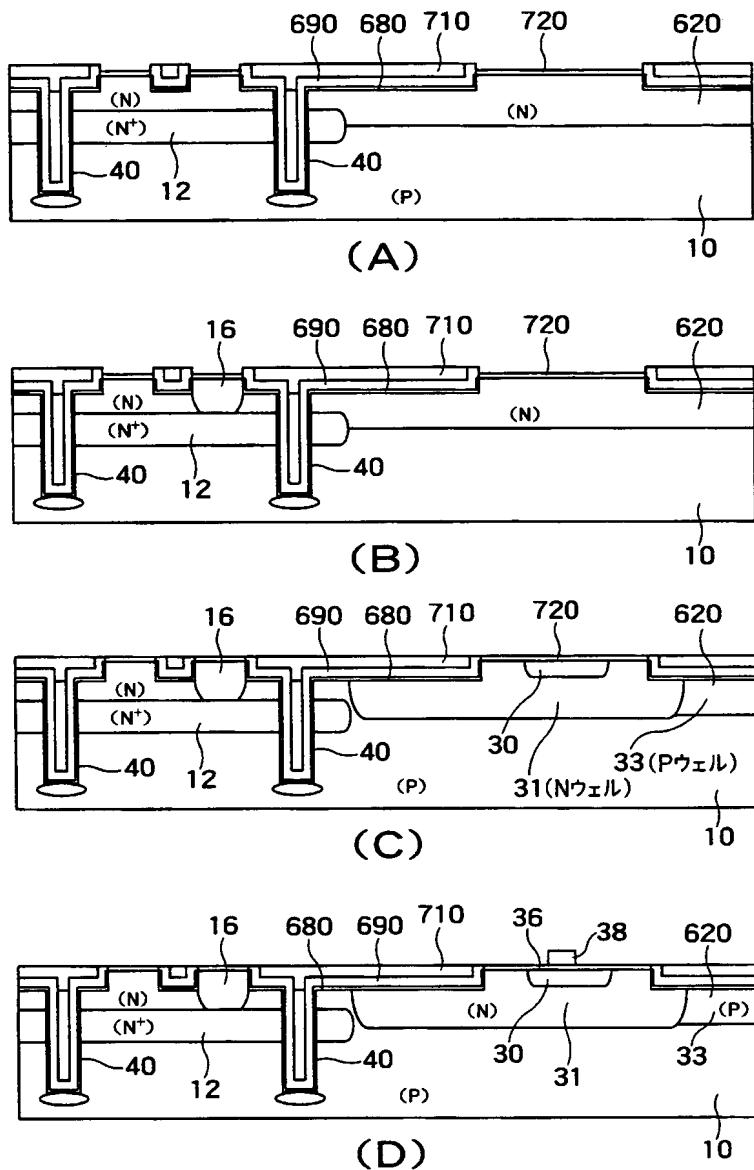
【図4】



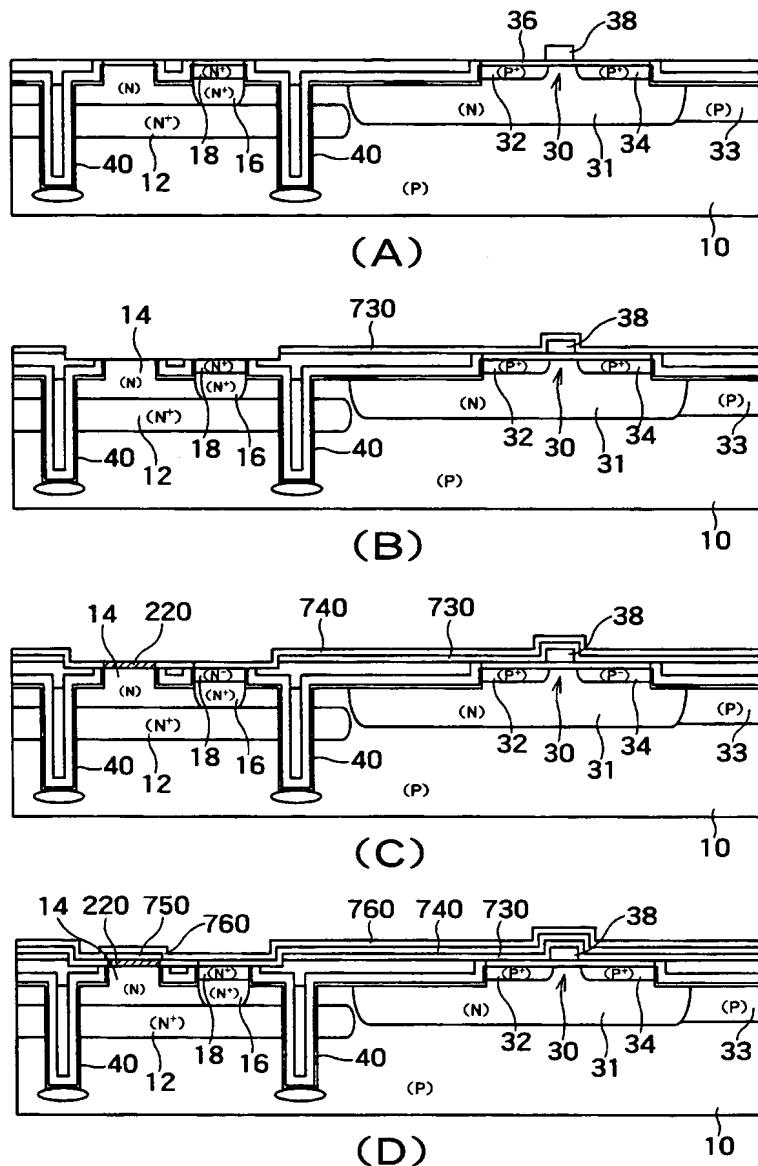
【図5】



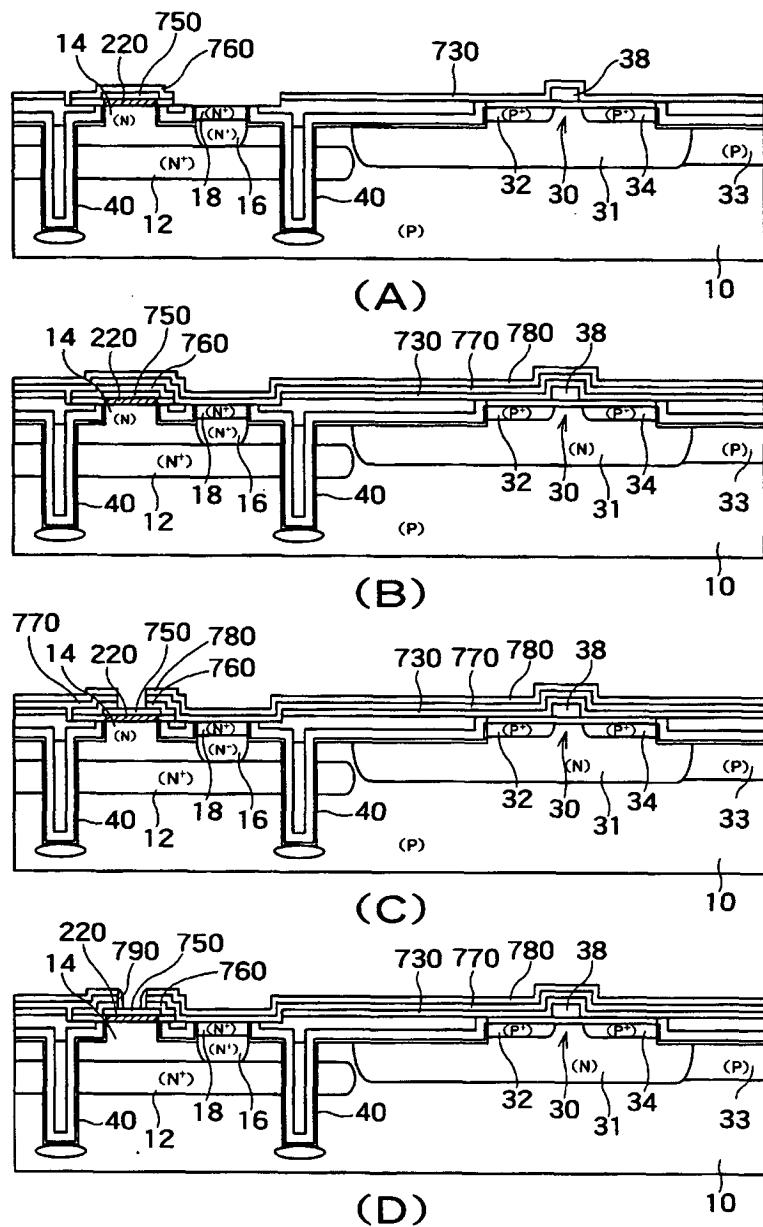
【図6】



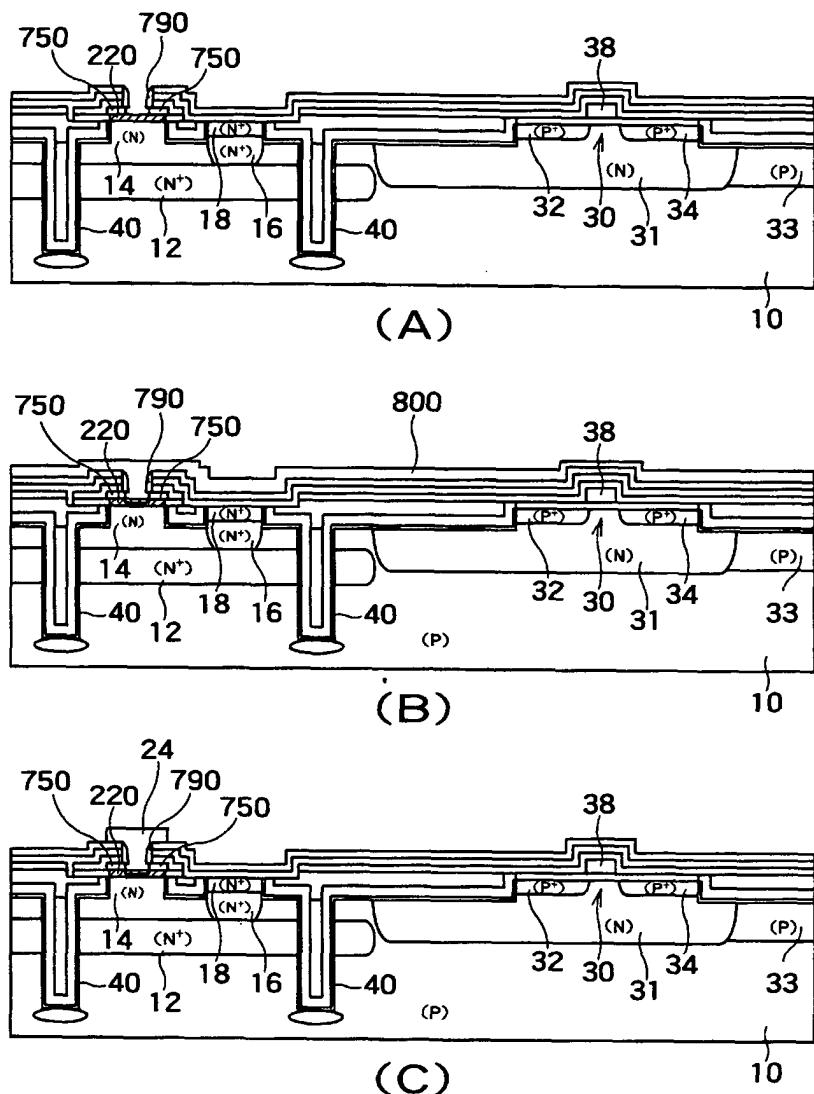
【図7】



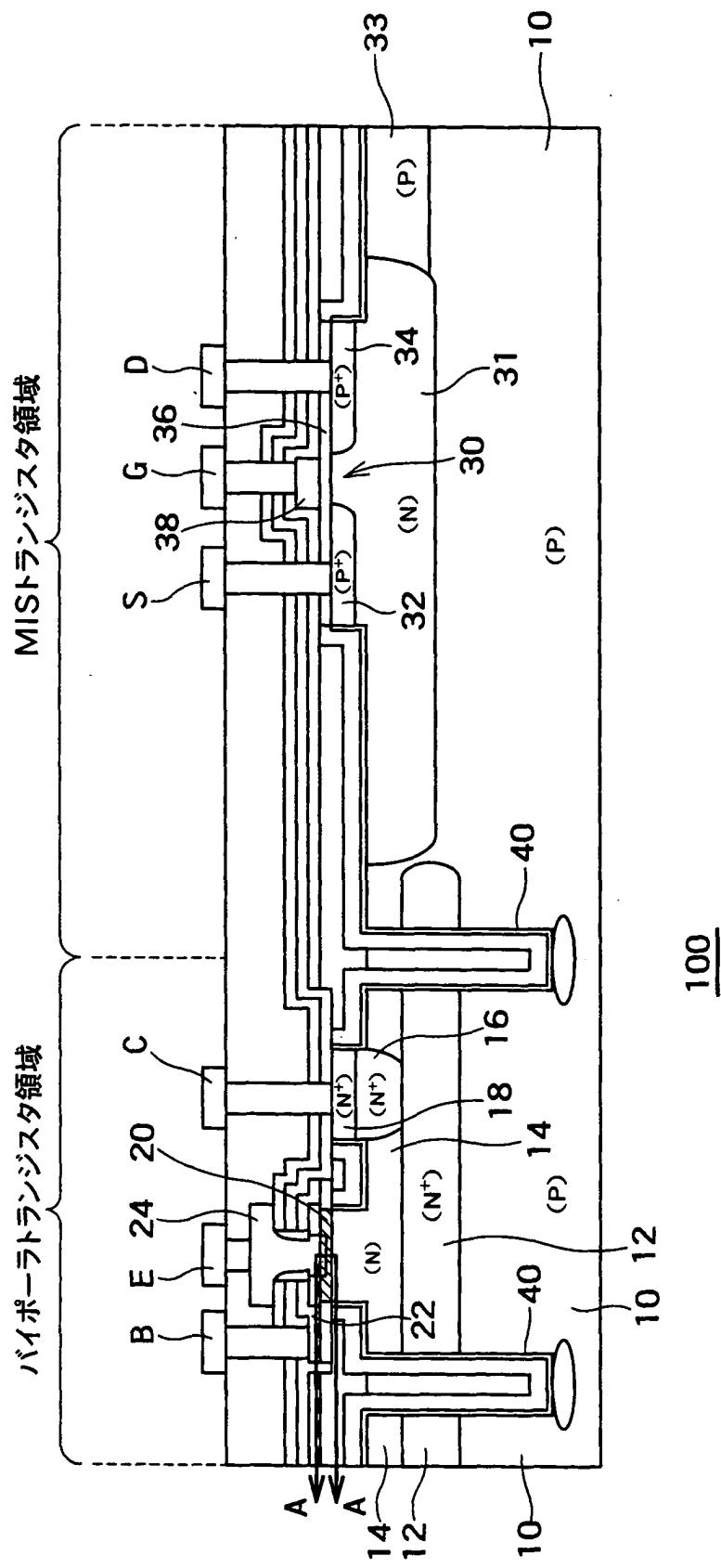
【図8】



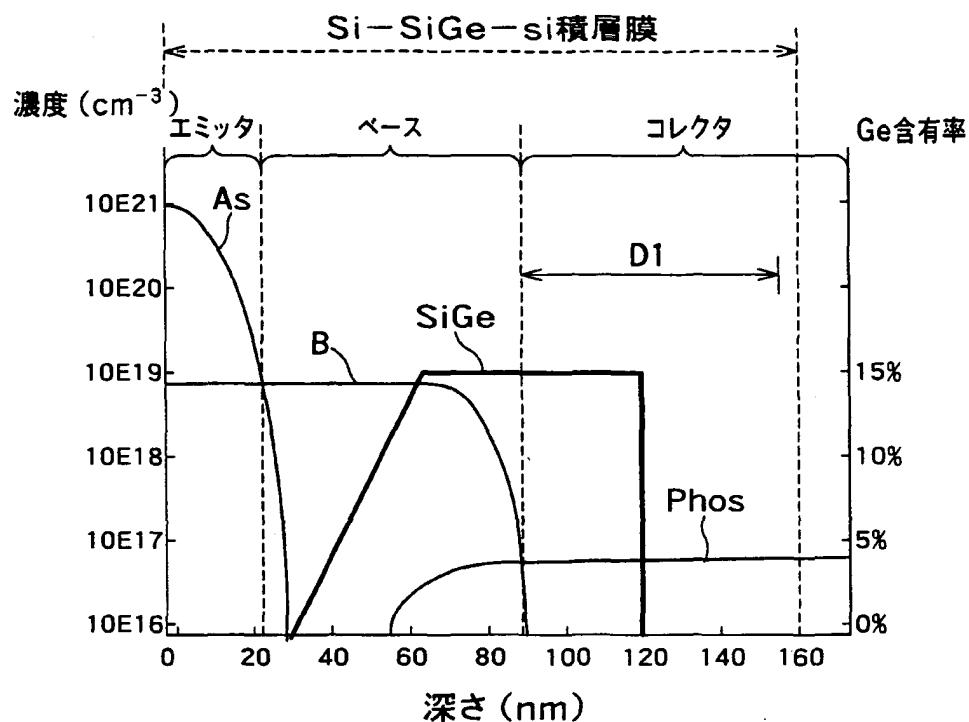
【図9】



【図10】



【図11】



【書類名】 要約書

【要約】

【課題】 遮断周波数を高くするためにシリコンゲルマニウム（Si-Ge）の
混晶を使用しつつも、エミッターコレクタ間耐圧が従来よりも高いバイポーラ・
トランジスタを有する半導体装置を提供する。

【解決手段】 本発明による半導体装置200は、シリコン単結晶からなるコレ
クタ層と、コレクタ層に接しシリコン単結晶から成る第1のベース層B1および
第1のベース層B1に接しシリコンゲルマニウムから成る第2のベース層B2を
含むベース層と、ベース層に接しシリコン単結晶からなり、該ベース層とヘテロ
接合を形成するエミッタ層とを備えている。

【選択図】 図2

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号

氏 名 株式会社東芝